

13kV 級 SiC-MOSFET を使用したパルスパワー電源の研究

DEVELOPMENT OF A PULSED POWER SUPPLY UTILIZING 13 kV CLASS SiC-MOSFET

岡村勝也^{#, A)}, 内藤富士雄^{A)}, 高山健^{A)}, 徳地明^{B)}, 道越久人^{C)}, 坂本邦博^{C)}

Katsuya Okamura^{#, A)}, Fujio Naito^{A)}, Ken Takayama^{A)}, Akira Tokuchi^{B)}, Hisato Michikoshi^{A)}, Kunihiro Sakamoto^{B)}

^{A)}High Energy Accelerator Research Organization (KEK)

^{B)}Pulsed Power Japan Laboratory Ltd. (PPJ)

^{C)}National Institute of Advanced Industrial Science and Technology(AIST)

Abstract

To resolve the drawback of conventional thyatron switches, development of a semiconductor high voltage switch utilizing a 13 kV class SiC-MOSFET developed by Tsukuba Power Electronics Constellations (TPEC) is proceeding. At first, the device evaluation test was carried out with a resistive load circuit [1]. Thereafter, the 2s-12p switch array was designed and assembled, where 12 MOSFETs are equally aligned on a circle shaped circuit board and two circuit boards are stacked in series. The switch array was tested assembling with coaxial shaped return conductor. Consequently 18 kV-318 A-1 μ s pulse generation was successfully confirmed.

1. はじめに

加速器には種々のパルス電源が要求される。パルスの発生には高速、高電圧、大電流のスイッチが必要であり、歴史的に見て初期の段階においてはスパークギャップスイッチが使用され、やがてサイラトロンに代表される電子管に置き換わり、さらに信頼性を向上させるために半導体スイッチの導入が図られ、現在に至っている。しかし、半導体スイッチは個々の素子の耐電圧が十分でなく数10個もの素子を直列接続する必要がある。今後、医療用途や産業用に広く加速器を適用していくにあたって、電源の構成部品点数を減らし、信頼性向上と小型化を図ることは必須条件である。そこで我々は TPEC (Tsukuba Power Electronics Constellations)において開発された SiC-MOSFET を利用し、従来の Si 半導体を使用したものに比べて格段に小型化を図ったパルス電源の開発に着手している。最初に素子単体のパルス通電特性を調査し[1]、その特性がパルスパワー電源用スイッチ素子として好適なものであることを確認したのち、1 2 並列-2 直列のスイッチアレーを試作した。本論文で試作したスイッチアレーの短パルス通電特性について報告する。

2. SiC-MOSFET

SiC は従来から広くパワーデバイスとして用いられている Si と比して、(1) 3 倍のバンドギャップ、(2) 10 倍高い絶縁破壊電界、(3) 2 倍高い融点、(4) 3 倍の熱伝導度を有し、高電圧、大電力に適した次世代のパワーデバイス材料として注目されてきた。特に近年高速スイッチングに適した MOSFET の開発が著しく進展し、我々も 3.3 kV 耐圧の素子を用いた高繰り返しパルス電源の開発に取り組んでいる[2-4]。さらに今回は従来の Si デバイスでは全く不可能で

あった 13 kV 級素子 [5] も開発されている。Figure 1 に本研究で用いた SiC-MOSFET の外観を示す。形状としては TO-268-2L と称される標準パッケージとほぼ同等のものである。

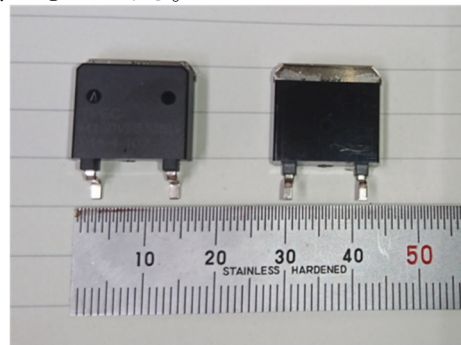


Figure 1: An external view of the SiC-MOSFET.

3. 高電圧スイッチアレー

素子単体ではパルス電源として使用するためには電圧、電流の能力が不足であるため、直並列することが不可欠である。今回は SiC-MOSFET を 2 直列、1 2 並列に接続したスイッチアレーを試作した。直並列にあたって、円板状のプリント基板の周方向に 1 2 個の素子を配置して並列とし、この基板をスタックすることによって直列接続とした Fig. 2 に基板と完成したスイッチアレーを示す。

[#]katsuya.okamura@j-parc.jp

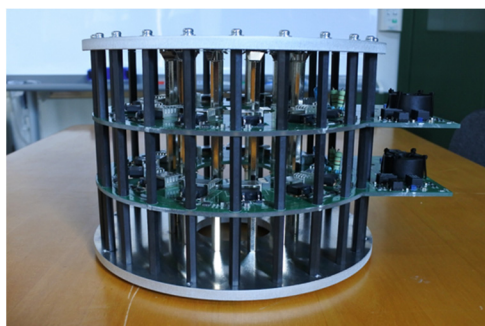
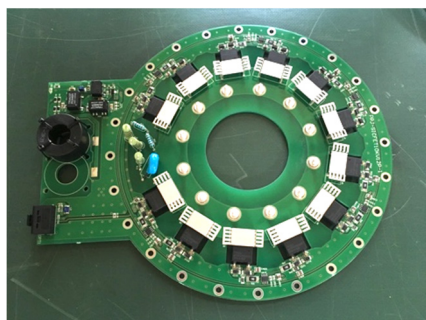


Figure 2: External view of the switch board and stacked switch array.

4. 短パルススイッチングテスト

4.1 試験回路

短パルススイッチングテストを実施するにあたり、スイッチアレーにセラミックコンデンサからなるコンデンサバンクと同軸状のリターン導体を組み込んだ。リターン導体と基板の間の空間には絶縁紙でできた絶縁バーリアを挿入した。試験状態の写真を試験回路とともに Fig. 3 に示す。

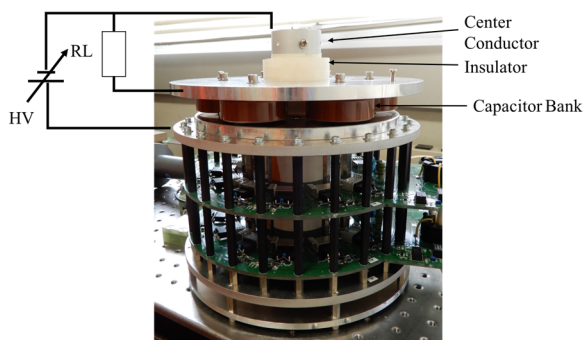


Figure 3: The switch unit assembled with the inner conductor and the capacitor bank for short pulse switching test.

4.2 第1次試験

負荷抵抗をパラメータとしてスイッチング波形を取得した結果を Fig. 4 に示す。

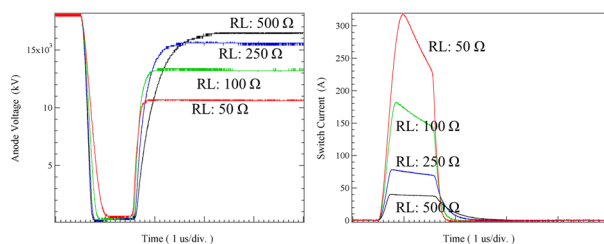


Figure 4: Short pulse switching waveforms for various value of load resistors.

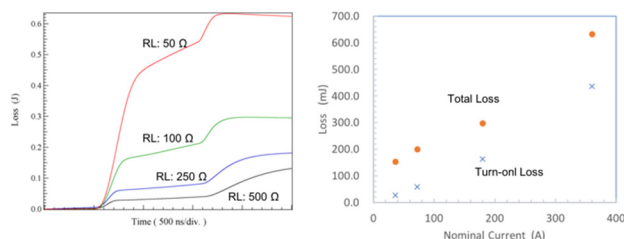


Figure 5: Switching loss characteristics for various value of load resistors, where nominal current is defined as dc voltage/load resistance.

負荷抵抗を 50Ω にした時、 $1 \mu\text{s}$ - 318 A 、立ち上がり時間 289 ns のパルスが発生させることができた。この時の損失特性を Fig. 5 に示す。負荷抵抗が小さくなるとともに電流が大きくなるためスイッチング損失も増大する。Figure 5 の右図において横軸は充電電圧を負荷抵抗の値で割った名目電流で表した。負荷抵抗を 50Ω とした時の全損失は 630 mJ であった。Figure 4 においてターンオフ後の電圧がターンオン前よりも下がっているのはコンデンサバンクの容量が十分でなく (36 nF)、オン期間中の放電によってコンデンサの充電電圧が下がっているからである。また、電流そのものもドループが大きい。このため本実験においてターンオフ損失は過少評価になっていると考えられる。例えば負荷抵抗が 50Ω の時、電流のドループは 30% 、回復後の電圧低下は 40% 程度である。このことから考えると直流電圧一定の条件の元ではターンオフ損失は 2.4 倍程度になり全損失は 900 mJ 、FET 1 素子あたりでは 38 mJ になると評価される。本スイッチは自冷方式であり特段の冷却機構は備えていないが、 100 Hz 程度の連続運転は可能であると期待される。

4.3 第2次試験

第2次試験ではスイッチアレー本体の他に外部にコンデンサバンクを追加した。但し、同時にコンデンサを2直列にしたためトータルの静電容量は 50.4 nF である。負荷抵抗 250Ω とし、充電電圧が 10 kV と 15 kV の時のスイッチング波形と損失波形を Fig. 6 に示す。コンデンサ容量を 1.4 倍としたことによって電圧の低下が改善されたことが確認できた。

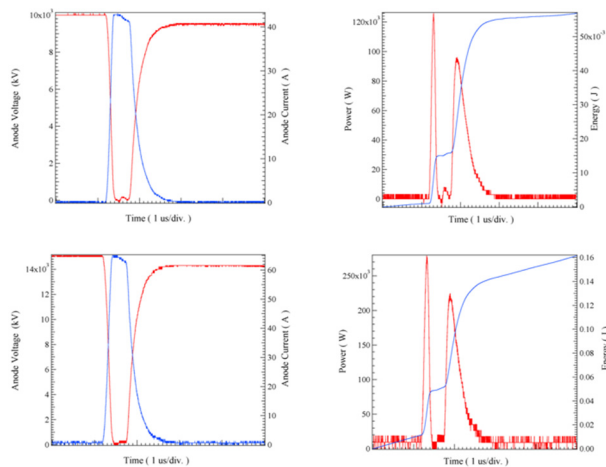


Figure 6: Switching waveforms after adding an external capacitor bank.

Proceedings of IPAC2017, Copenhagen, Denmark, pp. 3388-3390.

[3] K. Okamura *et al.*, "Development of an Induction Accelerator Cell Driver Utilizing 3.3 kV SiC-MOSFETs", Proceedings of the 14th Annual Meeting of Particle Accelerator Society of Japan, Sapporo, Japan, Aug. 1-3, 2017, pp. 476-480.

[4] K. Okamura, Yi. Liu, K. Takayama, A. Tokuchi, "Development Progress of the 4th Generation of Switching Power Supply for Circular Induction Accelerators", in this conference.

[5] H. Kitai *et al.*, "Low on-Resistance and Fast Switching of 13-kV SiC MOSFETs with Optimized Junction Field-Effect Transistor Region", Proceedings of the 29th International Symposium on Power Semiconductor Devices & ICs, Sapporo, pp. 343-346.

[6] T. Iwashita *et al.*, "KEK Digital Accelerator", Phys. Rev. ST-AB, vol. 14, 071301 (2011).

[7] H. Kobayashi *et al.*, "Electrostatic Injection Kicker for KEK Digital Accelerator Driven by SI-Thyristor Matrix Array Power System", in Proc. 5th EAPPC, Kumamoto, Japan (2014).

5. まとめと今後の計画

- TPECにおいて開発された13 kV級SiC-MOSFETを1 2並列、2直列に接続したスイッチアレー(SA)を試作した。
- SAは1 2個のSiC-MOSFETを円環状に配置した基板を2段スタックした構造である。
- 試作SAを同軸状のリターン導体、円環状に配置したキャパシターバンクと組み合わせて短パルススイッチング試験を実施した。
- その結果、18 kV-318 A-1 μ s、立ち上がり時間289 nsのパルスを発生させることができた。
- 十分大きなキャパシターバンクと直流電源を接続し、連続運転をしたと仮定するとスイッチの損失は90 W程度になると推定され、自冷運転可能なレベルである。
- 今後本SAはKEKデジタル加速器[6]の入射部の静電キッカー用スイッチ[7]として利用する予定である。

謝辞

本研究の一部は、共同研究体「つくばパワーエレクトロニクスコンステレーション(TPEC)」の事業として行われた。また、つくばイノベーションアリーナ(TIA)かけはしの研究助成を受けた。

参考文献

[1] K. Okamura *et al.*, "13 kV 級 SiC-MOSFET を用いたパルスパワー電源の開発", Proceedings of the 15th Annual Meeting of Particle Accelerator Society of Japan, August 7-10, 2018, Nagaoka, Japan, pp. 504-507.

[2] K. Okamura *et al.*, "Development of an Induction Accelerator Cell Driver Utilizing 3.3 kV SiC-MOSFETs",