

# INTEGRATOR CIRCUIT FOR BEAM CHARGE MONITORING

Kenichi Yanagida<sup>1</sup>, Shinsuke Suzuki and Hirofumi Hanaki  
JASRI, Accelerator Division /SPring-8  
1-1-1 Kouto, Sayo-cho, Sayo-gun, Hyogo 679-5198

## Abstract

At the SPring-8 1-GeV linac, a beam current or charge is measured by means of an integrator circuit. A signal from a current transformer is processed into an integrated voltage. We developed a low-noise and high-resolution integrator instead of the present integrator. Both the present and developed integrators have the same functions such as signal gating, accumulation of analog signal and sample hold. The principal noise of the integrator was found to be a switching noise of the gate switch. To reduce the switching noise a GaAs transfer switch SW-283-PIN (M/A-COM) was adopted as the gate switch. The experimental data of the developed integrator showed 1/12 of the noise level of the present integrator.

## ビーム電荷測定用電圧積分回路

### 1. はじめに

SPring-8 線型加速器に於いて、シンクロトロン及びニュースバルへのビーム出射電荷量はCT (Current Transformer) からの信号電圧波形を時間ゲート内で積分することにより計測されている。現在、電圧積分回路にはSTANFORD RESEARCH SYSTEMS社のFast Gated Integrator and Boxcar Averager Moduleを使用している。将来的には上記2カ所を含む線型加速器の全CTに電圧積分回路を設置する予定であるが、その際に入力ダイナミックレンジ及び積分時間幅の拡大も同時に行う予定である。Top-up 運転を行う入射器では、蓄積リングの電流変動を押さえるために、より小さな電流での入射を行うことが要求される。現在の積分回路はノイズが大きく、小電流で高精度な電荷測定という更なる要求に応えることが難しくなっている。そのため、より高精度な測定を目指して電圧積分回路を開発した。

### 2. 動作原理

動作原理は現在及び新規モジュール双方とも同じである<sup>[1]</sup>。主な構成要素は信号ゲート用スイッチと信号蓄積回路である。ゲート用スイッチは測定対象となる時間幅を決めるもので、ゲート開時の信号電圧のみを蓄積回路へ導く[図1(1),(2)]。蓄積回路はディレイラインでインピーダンスが50ΩのPFN (Pulse Forming Network) や同軸ケーブルが使用される。蓄積回路内に導かれた信号電圧は、ディレイライン片側開放終端で全反射され、ゲート用スイッチへ戻る[図1(3)]。全反射された信号電圧がゲート用スイッチに到達する前にゲートを閉じると、ディレイライン両側は開放終端となり、信号電圧は蓄積回路内に閉じ込められる[図1(4)]。閉じ込められた信号電圧はディレイラインを往復するうちに電圧が平均化され一定値となる[図1(5),(6),(7)]。この平均化された電圧はゲート開時間内の電圧時間積に比例する。

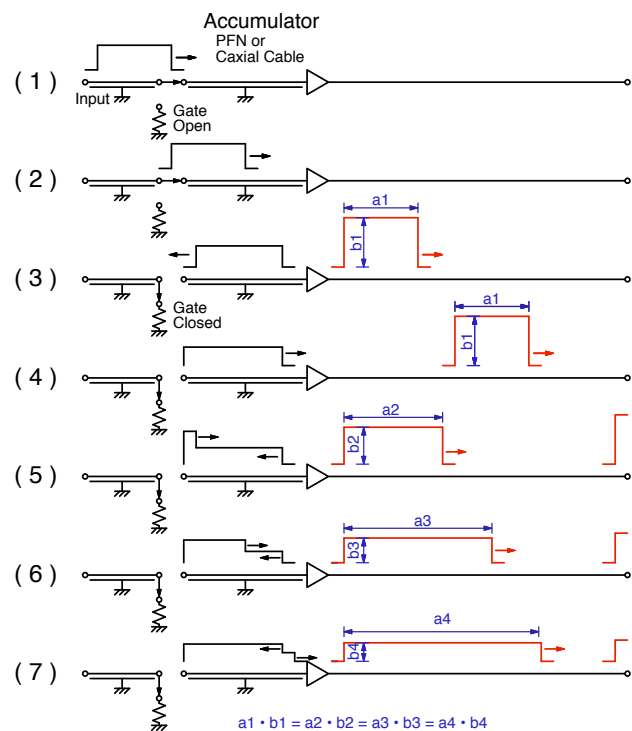


図1: 電圧積分回路の動作原理

### 3. 設計・製作

今回新規に設計・製作した電圧積分回路のブロックダイアグラムを図2に、モジュールの外観を図3(右側)に示す。図2に於いて、a:のパラメータは短パルス(1ns)測定用で、b:のパラメータは長パルス(40ns)測定用である。

CTからの信号電圧は主に信号ゲート用GaAsスイッチ、同軸ケーブルディレイライン、サムアンプ、サンプルホールド回路、ADCの順で処理されて、最終的にはデジタル若しくはアナログ信号として制御系に取り込まれる。これらの構成要素の中で、外部トリガを受けてスイッチ動作するものが2つある。GaAs

<sup>1</sup> E-mail: ken@spring8.or.jp.

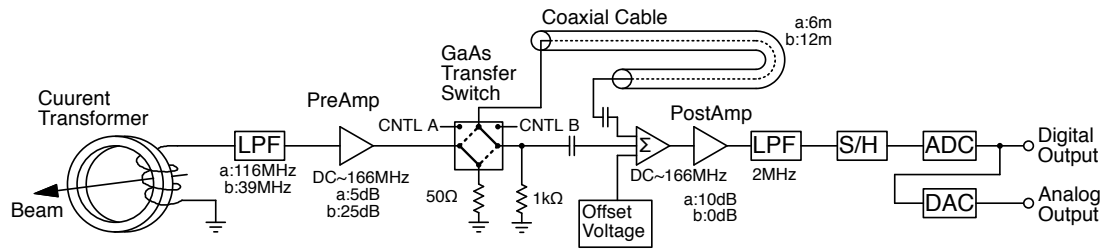


図 2: 電圧積分回路のブロックダイアグラム

スイッチとサンプルホールド回路である。スイッチ動作を行う素子はトリガショット毎の電圧変動が大きく、GaAs スイッチで 0.5 mV 程度、サンプルホールド回路が 0.3 mV 程度が典型的な値である。この電圧変動が最終的な測定分解能を決めてしまうため、スイッチ動作を行う素子の前段にアンプを挿入し、可能な限り信号を大きくする。GaAs スイッチの前段はプリアンプ、サンプルホールド回路の前段はポストアンプと呼ぶことにする。

CT とプリアンプの間にローパス・フィルターが挿入されているが、これはプリアンプ出力電圧の飽和を避けるためである。このローパス・フィルターにより波形が整形されてピーク電圧が下がり、パルス幅が増大するが電圧時間積は変化しない。

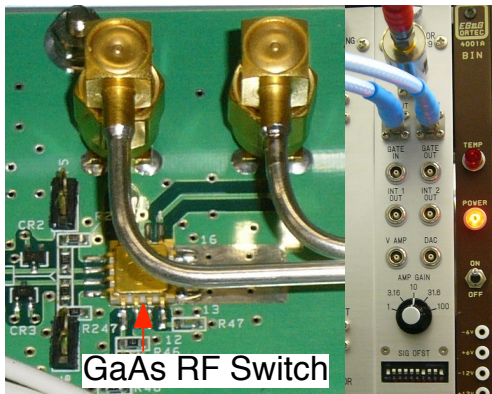


図 3: 基板上の GaAs スイッチ (左) とモジュールの外観 (右)

### 3.1 GaAs スイッチ

信号ゲート用スイッチには M/A-COM 社の SW-283-PIN を使用する (図 3 左側)。SW-283-PIN の主な特性は表 1 にまとめている。最大の特徴はトランスファースイッチであること、立ち上がり時間が 2 ns (10%~90%) と短いことである。

SW-283-PIN は 4 つの RF ポートを持ち、2 つの制御電圧 (図 2 CNTL A 及び CNTL B) を入れ替えることで、ゲート開時に『入力 ⇄ デレイライン』及び『50 Ω 終端 ⇄ 1k Ω 終端』を接続し、ゲート閉時に『入力 ⇄ 50 Ω 終端』及び『デレイライン ⇄ 1k Ω 終端』を接続する。制御電圧はほぼ定格の -0.1 V と -7.9 V とした。ゲート閉時に『入力 ⇄ 50 Ω 終端』を接続する理由はプリアンプ出力が不安定になるのを避ける

表 1: SW-283-PIN の主なスペック

Band Width [GHz]		DC~3
Isolation [dB]	DC~0.5 GHz	45
Rise (Fall) Time [ns]	10%~90%	2
1dB Compression [dBm]	0.05 GHz	+26
Video Feedthru [mV]		30
Control Voltages (Max) [V]	Low, High	0, -8

ためである。

SW-283-PIN の RF ポート立ち上がり時間は 2 ns である。もし、制御電圧がこれより遅ければ、スイッチの立ち上がり時間は制御電圧の立ち上がり時間で決まる。そこで、この立ち上がり時間の短さを損なわないように、制御電圧を高速で切り換える回路を開発した。図 4 は制御電圧発生回路のブロックダイアグラムである。高速トランジスタスイッチ 4 台でブリッジを組み、印加電圧 (+2 V と -10 V) を切り替える。印加電圧の電圧差を制御電圧のレンジより広くしている理由は電圧変化時間を短くするためである。制御電圧はダイオードによるクリッピングを行っているので、常に -0.1 V と -7.9 V の範囲内となる。

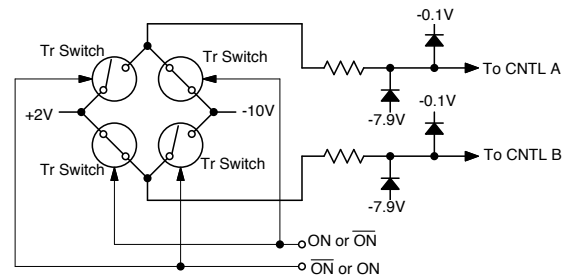


図 4: GaAs スイッチ制御電圧発生回路のブロックダイアグラム

SW-283-PIN の RF ポート立ち上がり時間を検証するため以下のような試験を行った。パルスジェネレータ (8131A, HP) により波高 1 V、幅 1 ns のパルスを 0.5 ns ずつ遅らせて発生させ、ゲートを通し、オシロスコープ (DPO4104, TEKTRONIX) で波形を取得した。図 5 は取得した 60 波形を重ね描きしたものである。ゲート幅は 20 ns 程度であるが、その前後には波形は見えない。図より立ち上がり時間は 10→90% で 2 ns、10→95% で 4 ns、10→98% で 8 ns と測定された。スペックを考慮すればこれらの数値は妥当と思われる。

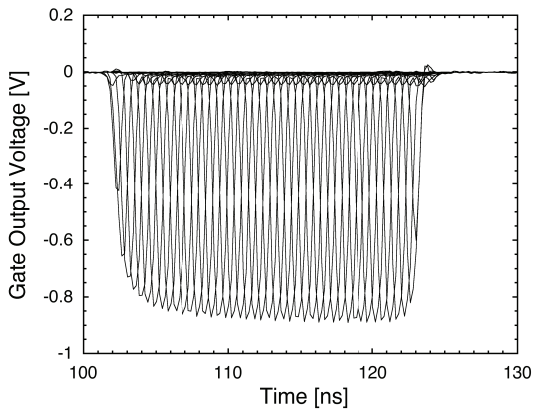


図 5: ゲート通過後の電圧波形 (60 波形分)

### 3.2 ディレイラインとサムアンプ

ゲート閉時、ディレイラインは  $1\text{ k}\Omega$  の抵抗を介してアースに接続され、 $1\mu\text{s}$  程度の時定数で放電する。ディレイラインの両端はコンデンサを介してサムアンプへ入力されている。サムアンプには信号が無い状態で出力を  $0\text{ V}$  にできるように、オフセット電圧を印加できるようにした。図 6 はサムアンプに入る電圧波形であるが、赤と青の波形が交互に補間するように入力されている。時間 (反射の回数) と共にパルス幅が広がり、ピーク電圧が下がり、平均化していく過程が見られる。緑の波形は  $2\text{ MHz}$  LPF の出力である。この波形をサンプルホールドするのだが、タイミングは図中  $700\text{ ns}$  近辺 (可変) である。

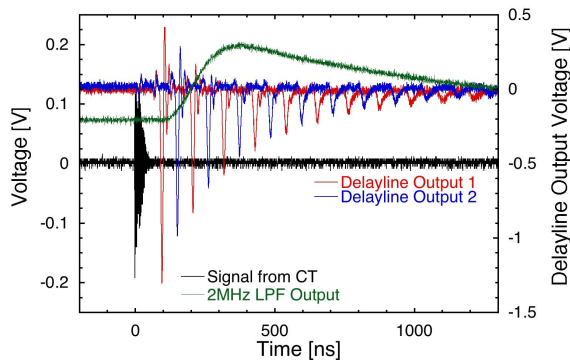


図 6: サムアンプに入る電圧波形

### 4. ノイズレベルと線形性

ノイズレベルは入力電圧が変化しない ( $50\ \Omega$  終端) 状態にして出力電圧を 50 サンプル程度取得し、標準偏差として取得した。測定の結果、電荷量に換算したノイズレベルは  $0.65\text{ pC}$  (レンジ:  $2\text{ nC}$ 、ゲート幅:  $20\text{ ns}$ ) であった。現在のモジュールが  $2.9\text{ pC}$  (レンジ:  $1.4\text{ nC}$ 、ゲート幅:  $10\text{ ns}$ ) なので、同レンジ、同ゲート幅で換算すればノイズレベルは  $1/12$  に低減していることになる。

線形性についてはパルスジェネレータで波高及び幅の異なるパルスを発生させ電圧積分回路へ入力し、

出力電圧を測定した。図 7 はその結果である (ゲート幅は  $20\text{ ns}$ )。出力は  $10\text{ V}$  に達するまで電圧時間積に比例していることがわかる。今回、パルス幅は最大で  $5\text{ ns}$  であるが、ゲート幅を広くし、パルス幅を  $40\text{ ns}$  まで広げても同様な線形性が得られることが判明している。

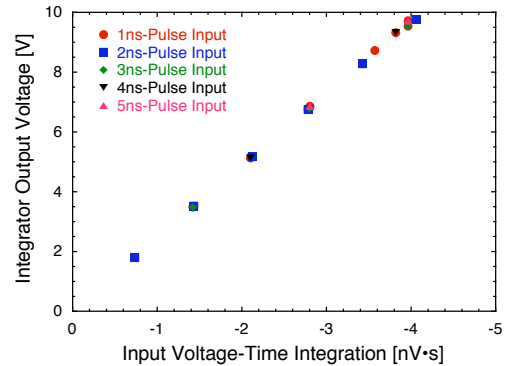


図 7: 入力電圧時間積と出力電圧

### 5. 加速器運転環境下での試験

線型加速器運転の環境下で電圧積分回路がどのような特性を有するか確認するためにデータ取得試験を行った。図 8 は線型加速器下流部に設置されている CT ( $2100$ , PEARSON) からの信号電圧波形を積分 (ゲート幅  $80\text{ ns}$ ) 処理し、取得したもので、1 時間分のデータである。ショット毎の電荷量は確実に取得されている。較正等を行っていないので縦軸は任意スケールだが、ショット毎の電荷量は概ね  $1\text{ nC}$  であり、最大測定レンジは  $16\text{ nC}$  と予想される。ノイズレベルは予測と同程度で良好である。但し、図から判るようにベースラインが変動している問題がある。原因は調査中であるが、ベースライン変動を抑制する工夫が必要であろう。

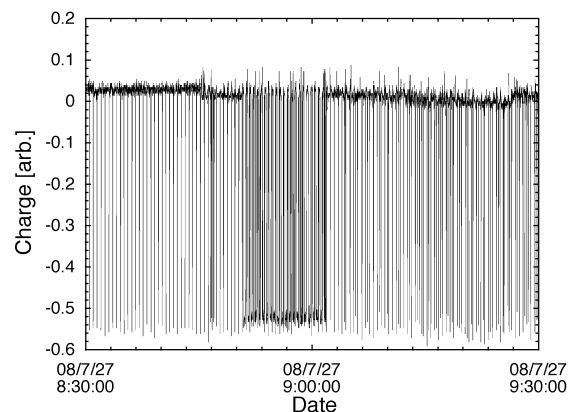


図 8: 加速器運転環境下でのデータ取得試験

### 参考文献

- [1] Manual of Fast Gated Integrators and Boxcar Averagers, SATNFORD RESEARCH SYSTEMS.